

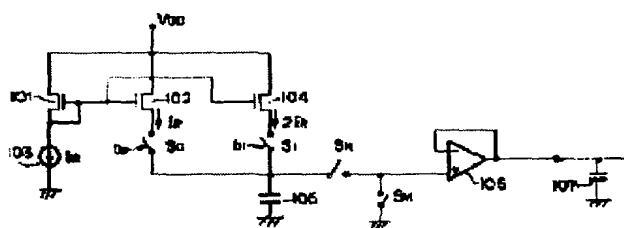
DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP8095522
Publication date: 1996-04-12
Inventor: CHIN GIYOUSHIYOU
Applicant: TOPPAN PRINTING CO LTD
Classification:
 - international: **G02F1/133; G09G3/20; G09G3/36;**
G02F1/13; G09G3/20; G09G3/36; (IPC1-7):
G09G3/36; G02F1/133
 - european:
Application number: JP19940228506 19940922
Priority number(s): JP19940228506 19940922

[Report a data error here](#)

Abstract of JP8095522

PURPOSE: To attain the miniaturizing of a driving circuit by making the charging currents of a capacitor change while performing the on/off control of output current of a constant current circuit based on gradation data and applying the charged voltage of the capacitor to a liquid crystal display device. **CONSTITUTION:** This driving circuit drives liquid crystal pixels of a liquid crystal display device by using bits b0, b1 of gradation data having two bits being gradation data of liquid crystal pixels. At this time, MOSFETs 101, 102 and a constant current circuit 103 constitute a current mirror circuit and MOSFETs 101, 104 and the constant current circuit 103 constitute another current mirror circuit. Then, MOSFETs 102, 104 having the same channel lengths as that of the MOSFET 101 through which the constant current of the constant current circuit 103 flows are constituted so that the width of the channel is increased twice by twice and switches s0, s1 performing the ON/OFFs by gradation data b0, b1 make the charging currents of a capacitor 105 change by controlling outputs of MOSFETs 102, 104 and then a liquid crystal display device 107 is driven by using the charged voltage of the capacitor.



REF ID: A6600010X-1000055020E-0

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-95522

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133

5 6 0

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平6-228506

(22) 出願日 平成6年(1994)9月22日

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72) 発明者 陳 曉翔

東京都台東区台東一丁目5番1号 凸版印刷株式会社内

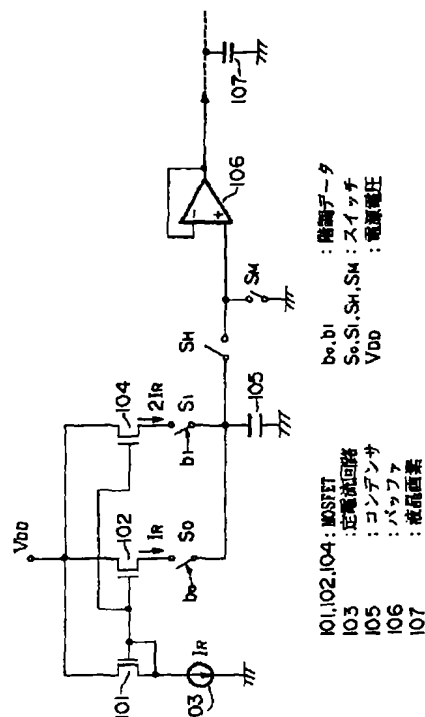
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 液晶表示装置用駆動回路

(57) 【要約】

【目的】 液晶表示装置の駆動回路に使用する素子が I Cチップ上に占める面積を削減して駆動回路の小型化を図り、また、ウェハープロセスの影響を受けにくい駆動回路を提供する。

【構成】 定電流回路103の定電流が流れるMOSFET101と等チャネル長のMOSFET102、104をチャネル幅が2倍ずつ増加するように構成し、階調データ b_0 、 b_1 によりオン・オフするスイッチ S_0 、 S_1 がMOSFET102、104の出力を制御してコンデンサ105を充電して、その充電電圧を用いて液晶表示画素107を駆動する。



【特許請求の範囲】

【請求項1】 液晶表示装置を階調駆動する液晶表示装置用駆動回路において、
第1～第nの定電流回路と、
外部から供給される階調データに基づいて前記第1～第nの定電流回路の出力電流をオン／オフ制御する第1～第nのスイッチ手段と、
サンプルパルスのタイミングにおいて前記第1～第nの定電流回路の出力電流によって充電されるコンデンサと、
前記コンデンサの充電電圧を前記液晶表示装置へ印加する出力バッファと、
を具備してなる液晶表示装置用駆動回路。

【請求項2】 前記第1～第nの定電流回路はカレントミラー回路によって構成されていることを特徴とする請求項1記載の液晶表示装置用駆動回路。

【請求項3】 前記カレントミラー回路は、基準電流が流れるMOSFETと、前記基準電流の 2^m ($m=0\sim n-1$) 倍の電流が流れるn個のMOSFETから構成されることを特徴とする請求項2記載の液晶表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、フルカラーによる階調表示が可能な液晶表示装置用駆動回路に関する。

【0002】

【従来の技術】 フルカラー表示用の液晶駆動回路として、振動電圧方式、抵抗分割方式、DAC（デジタル／アナログ変換器）内蔵方式等が知られている。これらの方式のうち、駆動回路としての動作スピードや電圧の精度の点からみて、DAC内蔵方式が優れていると考えられる。この発明は、特にDAC内蔵方式の液晶駆動回路に関するものである。図6は、マトリクス構造の液晶パネルとその周辺回路からなる一般的な液晶表示装置の構成を示している。同図において、601は液晶パネル、602はコモンドライバ、そして603はセグメントドライバである。液晶パネル601のマトリクスのロウ側を走査するコモンドライバ602は、一時点ではある1つのロウの全液晶画素を選択する。セグメントドライバ603の中で、ある1つのカラムを駆動する駆動回路604は、コモンドライバ602が選択した液晶画素に対し、当該液晶画素の階調データに応じた電圧を印加する。各液晶画素605にはトランジスタ606を介して駆動回路604からの電圧が印加される。

【0003】 以上の構成において、駆動回路604には、表示データをアナログ信号に変換するDAC（デジタル／アナログ変換器）が用いられる。図7は、従来のDACの構成例を示す図である。このDAC700は電荷スケールリング型のDACであり、N個のコンデンサ $C_1\sim C_N$ 、終端コンデンサ C_T ならびにスイッチ W_1 、

$W_2\sim W_N$ から構成されている。最初のコンデンサ C_1 の容量をCとすると、2番目のコンデンサ C_2 の容量は $[1/2]C$ に、3番目のコンデンサ C_3 の容量は $[1/4]C$ に、... N-1番目のコンデンサ C_{N-1} の容量は $[1/2^{N-2}]C$ 、そしてN番目のコンデンサ C_N の容量は $[1/2^{N-1}]C$ となるように設計されている。 C_T の容量は $[1/2^{N-1}]C$ である。また、Bはボルテージフォロワであり、 V_{REF} は基準電圧である。

【0004】 このDAC700へ供給されるデジタルデータは、Nビットの2進数で与えられる。このNビットのデジタルデータのそれぞれのビットの値を b_1, b_2, \dots, b_N とする。ビット b_i ($i=1\sim N$) が"1"であると、スイッチ W_i が基準電源 V_{REF} に接続され、"0"であるとグランドに接続される。DAC700には、互いに重なりあわない2相のクロック ϕ_1, ϕ_2 が接続されている。 ϕ_1 のタイミングにおいては、スイッチ $W_2\sim W_N$ が閉じ、スイッチ $W_1\sim W_N$ がグランド側に倒れ、コンデンサ $C_1\sim C_N$ と C_T の両端がグランドに接続される。 ϕ_2 のタイミングにおいては、スイッチ $W_2\sim W_N$ が開くとともに、スイッチ $W_1\sim W_N$ は上述したように階調値の各ビットの値に応じて V_{REF} かグランド側に切り替わる。

【0005】

【発明が解決しようとする課題】 ところで、上述の回路をICチップ上に実装するにあたっては、各コンデンサの容量の精度を確保するために、これらコンデンサを単位コンデンサで構成する方法を採用している。図7の場合で言うと、 $[1/2^{N-1}]C$ の容量を持つコンデンサを単位コンデンサとする。したがって、N番目のコンデンサ C_N は1個の単位コンデンサ、「N-1」番目のコンデンサ C_{N-1} は2個の単位コンデンサから構成され、等々、回路全体としては $[2^N-1]$ 個の単位コンデンサを必要とする。液晶の階調数が増えてデジタルデータのビット数が増大するにしたがい、必要とされる単位コンデンサの数は飛躍的に増大する。たとえば、8ビットのデジタルデータを入力とする場合には256階調表示が可能となるが、そのためには255個もの単位コンデンサが必要とされることになる。

【0006】 このように、従来の容量型DACを使用した液晶駆動回路ではコンデンサがICチップ上で大きな面積を占有する。特に近年では、TFT（薄膜トランジスタ）型の液晶表示装置における階調数の向上につれ、チップサイズの増大がコストダウンのネックとなっている。この発明は上記の点に鑑みてなされたものであり、その目的は、液晶駆動回路に使用する素子がICチップ上に占める面積を削減し、液晶表示装置用駆動回路の小型化を図ることにある。

【0007】

【課題を解決するための手段】 以上の課題を解決するた

めに、請求項1記載の発明は、液晶表示装置を階調駆動する液晶表示装置用駆動回路において、第1～第nの定電流回路と、外部から供給される階調データに基づいて前記第1～第nの定電流回路の出力電流をオン／オフ制御する第1～第nのスイッチ手段と、サンプルパルスのタイミングにおいて前記第1～第nの定電流回路の出力電流によって充電されるコンデンサと、前記コンデンサの充電電圧を前記液晶表示装置へ印加する出力バッファと、から構成したものである。また、請求項2記載の発明は、請求項1記載の発明において、前記第1～第nの定電流回路をカレントミラー回路によって構成したものである。さらに、請求項3記載の発明は、請求項1記載の発明において、前記カレントミラー回路を、基準電流が流れるMOSFETと、前記基準電流の 2^m ($m=0 \sim n-1$) 倍の電流が流れるn個のMOSFETから構成されるようにしたものである。

【0008】

【作用】この発明によれば、階調データに基づいて定電流回路の出力電流をオン／オフ制御してコンデンサの充電電流を変化させ、このコンデンサの充電電圧に基づいて液晶表示装置を駆動する。このような構成により、単位コンデンサを多数使用する必要がなくなるとともに、回路を半導体素子で形成することが可能となり、回路の大きさを大幅に縮小することが可能となる。また、前記

$$I_{out} = [W_2 / W_1] \cdot I_1$$

となる。つまり、出力電流 I_{out} は、電流値 I_1 と上記の2つのMOSFET201、202のそれぞれのチャネル幅によって定まる。次に、図1に示す液晶表示装置用駆動回路の説明に移る。同図の駆動回路は、液晶画素の階調データである2ビットの階調データ、ビット b_0 、 b_1 を入力として液晶表示装置の液晶画素を駆動する。ここで、ビット b_1 がMSB (Most Significant Bit) である。

【0011】同図において、 V_{DD} は回路の電源電圧である。また、101、102ならびに104はMOSFETである。MOSFET101と102は、定電流回路103とともに上述のカレントミラー回路を構成している。同様にMOSFET101、104ならびに定電流回路103はもう一つのカレントミラー回路を構成する。ここで、MOSFET101、102ならびに104のチャネル長はすべて同一値となるようにしてある。また、各MOSFETのチャネル幅は、MOSFET101のチャネル幅を W_1 とした時に、MOSFET102のチャネル幅はMOSFET101のチャネル幅と同じ W_1 、MOSFET104のチャネル幅は $2 \cdot W_1$ となっている。したがって、定電流回路103に流れる電流の電流値を I_1 と置くと、(1)式により、MOSFET102には I_1 の電流値の電流が流れ、MOSFET104には $2 \cdot I_1$ の電流値の電流が流れる。

【0012】105は容量 C_p を持つコンデンサであ

定電流回路はカレントミラー回路によって構成することが望ましく、さらに、そのカレントミラー回路をMOSFETによって構成することが望ましい。

【0009】

【実施例】次に、図面を参照してこの発明の一実施例について説明する。図1は、同実施例による液晶表示装置用駆動回路の回路図であり、カレントミラー型DACを採用している。ここで図1の回路の説明に入る前に、図2を参照して簡単にカレントミラー回路の説明をする。図2において、 V_{cc} は電源電圧である。201はMOSFET (MOS電界効果トランジスタ) であり、チャネル幅が W_1 、チャネル長が L_1 である。また、202もMOSFETであり、そのチャネル幅は W_2 、チャネル長は L_2 である。ここで、これら「チャネル幅」ないしは「チャネル長」は、それぞれ図3に示すMOSFETの構造図におけるチャネル幅 W あるいはチャネル長 L で示されるものである。なお、図3においてG、S、DはそれぞれMOSFETのゲート、ソース、ドレインである。

【0010】一方、203は定電流回路であり、マスタースライスによってその電流値を容易に調整することが可能である。いま、定電流回路203の電流を I_1 とし、またチャネル長 $L_1 = L_2$ と仮定すると、図2の回路の出力電流 I_{out} は、

$$\dots (1)$$

る。また、出力バッファ106はコンデンサ105の両端間の電圧 V_c を出力して液晶画素107を駆動する。なお、出力バッファ106は、増幅機能を有するものを用いても良い。出力バッファ106に増幅機能を有するものを用いた場合には、コンデンサ105に容量の小さいコンデンサを用いても十分な階調表示を行うことができる。 S_0 、 S_1 、 S_H 、 S_H はスイッチであり、サンプルパルス S_{amp} を基準にしてオン／オフする。サンプルパルス S_{amp} は図4に示すような矩形波で、“H” (ハイ) の間がサンプル期間であり、“L” (ロー) の期間がホールド期間である。サンプル期間の持続時間は T であり、ホールド期間の持続時間は時間 T に比べるとはるかに長い。これらのスイッチとサンプルパルス S_{amp} との関係が同図に示してある。

【0013】スイッチ S_0 、 S_1 は、サンプルパルス S_{amp} の立ち上がりのタイミングにおいて、それぞれ階調データのビット b_0 、 b_1 の値に応じてオン・オフする。スイッチ S_0 は、ビット b_0 の値が“0”である場合にオフとなり“1”である場合にオンとなる。同様に、スイッチ S_1 は、ビット b_1 の値が“0”である場合にオフとなり“1”である場合にオンとなる。また、スイッチ S_0 、 S_1 はサンプルパルス S_{amp} の立ち下りのタイミングにおいて無条件にオフとなる。

【0014】また、スイッチ S_H は、サンプルパルス S_{amp} の立ち上がりのタイミングでオフとなり、サン

ルパルス S_{amp} の立ち下がりのタイミングでオンとなる。また、スイッチ S_u は、サンプルパルス S_{amp} の立ち上がりのタイミングより微小時間 τ だけ早くオンとなり、サンプルパルス S_{amp} の立ち下がりのタイミングより上記時間 τ だけ早くオフとなる。

【0015】次に、本実施例による液晶表示装置用駆動回路の動作を説明する。液晶画素 107 の階調データとしてたとえば”2”を指定する。これにより図1の駆動回路に与えられる階調データは、ビット b_0 が”0”、ビット b_1 が”1”となる。まず、サンプルパルス S_{amp} が立ち上がる時刻より時間 τ だけ前において、スイッチ S_u がオンとなる。この時、スイッチ S_u はオン状態にあり、これによりコンデンサ 105 内の電荷がスイッチ S_u 、 S_u を通して放電される。また、スイッチ S_u がオンとなると、出力バッファ 106 の出力が”0”となり、液晶画素 107 の充電電荷が放電される。なおこの時、スイッチ S_0 、 S_1 はオフ状態となっている。

【0016】次に、サンプルパルス S_{amp} が立ち上がると、その立ち上がりタイミングにおいて、スイッチ S_1 がオン、スイッチ S_u がオフとなる。またスイッチ S_0 はビット b_0 がオフであることから、オフ状態を続ける。これにより MOSFET 104 のドレインには $2 \cdot I_R$ の電流が流れ、スイッチ S_1 を介してコンデンサ 105 の充電を開始する。続いて、サンプルパルス S_{amp} の立ち下がりタイミングの時間 τ 前にスイッチ S_u が

オフとなり、液晶画素 107 の充電電荷の放電を終了する。

【0017】さらに時間 τ 経過後にサンプルパルス S_{amp} が立ち下がると、その立ち下がりタイミングにおいて、スイッチ S_1 がオフとなる。スイッチ S_0 はすでにオフであるためそのままオフ状態を続ける。これにより、コンデンサ 105 への充電が終了する。また同時に、スイッチ S_u がオンとなりコンデンサ 105 の充電電圧が出力バッファ 106 の入力端子に印加される。出力バッファ 106 はこれを受けて液晶画素 107 を駆動する。コンデンサ 105 の電荷は、サンプルパルス S_{amp} の立ち上がりの時間 τ 前のタイミングにおいて再びスイッチ S_u がオンとなるまで保持される。

【0018】ところで、コンデンサ 105 の両端間の電圧 V_c は、以下に示すように時間の経過とともに変化する。サンプルパルス S_{amp} のある立ち上がりタイミングの時刻を”0”とすると、前述したようにその直前のホールド期間中にコンデンサ 105 の電荷はすべて放電されており、コンデンサ 105 の両端間の電圧 V_c は”0”になっている。コンデンサ 105 に蓄積される電荷を q 、コンデンサ 105 に流れる電流を時刻 t の関数として $i(t)$ とすると、サンプル期間中のある時刻 t_1 ($0 \leq t_1 \leq T$) におけるコンデンサ 105 の両端間の電圧 V_c は次式で表される。

【数1】

$$V_c = \frac{q}{C_F} = \frac{1}{C_F} \int_0^{t_1} i(t) \cdot dt \quad \cdots (2)$$

【0019】定電流回路 103 の電流値は時間に依存しないため、サンプル期間中に MOSFET 102 あるいは MOSFET 104 に流れる電流値は時間によらず一定である。すなわち、電流 $i(t)$ の値は階調データの

$$V_{out} = I_c \cdot t_1 / C_F$$

つまり、コンデンサ 105 の両端間の電圧 V_c は図4の”階調データ=2”に示すごとく、時間に比例して直線的に上昇してゆく。したがって、サンプルパルス S_{amp} の立ち下がりタイミングにおけるコンデンサ 105 の両端間の電圧 V_c は、($I_c = 2 \cdot I_R$ から) $2 \cdot I_R \cdot T / C_F$ となる。ここで、 $I_R \cdot T / C_F$ の値を V_T とおくことにする。

【0020】ところで、階調データとして”0”を与えた場合には、 $b_0 = ”0”$ 、 $b_1 = ”0”$ であり、サンプルパルス S_{amp} の立ち上がりのタイミングにおいてスイッチ S_0 、 S_1 ともオフのままである。したがってコンデンサ 105 に流れる電流は”0”であり、サンプルパルス S_{amp} の立ち下がりのタイミングにおいて、コンデンサの両端間の電圧 V_c は”0”のままである。また、階調データとして”1”を与えた場合には、 $b_0 = ”1”$ 、 $b_1 = ”0”$ であり、サンプルパルス S_{amp}

ビット b_0 、 b_1 の値にのみ依存する一定値 I_c を持つ。したがって、時刻 t_1 における充電電圧 V_{out} は次式で計算される。

$$\cdots (3)$$

p の立ち上がりのタイミングにおいてスイッチ S_0 がオンとなり、 S_1 はオフのままである。したがってコンデンサ 105 に流れる電流は I_R となり、サンプルパルス S_{amp} の立ち下がりのタイミングにおいて、コンデンサの両端間の電圧 V_c は $I_R \cdot T / C_F = V_T$ となる。また、階調データとして”3”を与えた場合には、 b_0 、 b_1 とも”1”であり、サンプルパルス S_{amp} の立ち上がりのタイミングにおいてスイッチ S_0 、 S_1 ともオンとなる。したがってコンデンサ 105 に流れる電流は $3 \cdot I_R$ となり、サンプルパルス S_{amp} の立ち下がりのタイミングにおいて、コンデンサの両端間の電圧 V_c は $3 \cdot V_T$ となる。このように、階調データとして与えた値に比例してコンデンサ両端間の電圧 V_c が得られる。

【0021】なお、これまでの説明は階調データが2ビットの場合であったが、階調データのビット数を任意の

ビット数に拡張することが可能である。例として図5に、階調データを2ビットから8ビットに拡張して、液晶画素107が256階調表示を可能とした場合における駆動回路の回路図を示す。同図は、図1におけるスイッチ S_H から左側の部分の回路、つまりDAC部分の回路、に対応する部分のみを示している。

【0022】階調データを8ビットに拡張して $D_0 \sim D_7$ とすると、スイッチは $P_0 \sim P_7$ の8個に拡張され、またMOSFETも $T_0 \sim T_7$ の8個に拡張される。ここで、階調データはビット D_0 がLSB (Least Significant Bit) である。MOSFET、 $T_0 \sim T_7$ のチャネル幅は、MOSFET101のチャネル幅を基準値"1"として、それぞれ1、2、4、8、16、32、64、128のチャネル幅を持つように形成されている。なお、この回路の動作は上述の階調データが2ビットの場合の記述から容易に理解されるため省略する。

【0023】本実施例では、各MOSFETに流れる電流値をMOSFETのサイズ相対比で決定できるため、ウェハプロセスの誤差を受けにくいというメリットがある。さらに、容量型DACにおいて単位コンデンサが占有している面積に比較して、MOSFETのチャネル面積が小さくなる。液晶表示装置の駆動回路のようなアレー型の回路においては、セル1個の面積の削減が全チップ面積に及ぼす影響は大きく、面積削減の効果も大きい。

【0024】

【発明の効果】以上説明したように、この発明によれば、階調データに基づいて定電流回路の出力電流をオン／オフ制御してコンデンサの充電電流を変化させ、このコンデンサの充電電圧に基づいて液晶表示装置を駆動するようにしたので、単位コンデンサを多数使用する必要がなくなるとともに、回路を半導体素子で形成することが可能となり、駆動回路の大きさを大幅に縮小すること

が可能となる、という効果が得られる。また、前記定電流回路をカレントミラー回路によって構成し、さらに、そのカレントミラー回路をMOSFETによって構成することにより、MOSFETに流れる電流値をMOSFETの $[W/L]$ 比で決定することが可能となるため、駆動回路がウェハプロセスの誤差を受けにくくなる、という効果が得られる。なお、 $[W/L]$ の W はMOSFETのチャネル幅、 L はMOSFETのチャネル長である。

【図面の簡単な説明】

【図1】この発明の一実施例による液晶表示装置用駆動回路の回路図である。

【図2】同実施例による液晶表示装置用駆動回路が使用しているカレントミラー回路の回路図である。

【図3】同実施例により使用されるMOSFETの構造を示す図である。

【図4】同実施例によるサンプルパルス S_{amp} とスイッチ S_0 、 S_1 、 S_H 、 S_M の状態ならびにコンデンサ105の両端間の電圧 V_c との関係を示すタイムチャートである。

【図5】同実施例による液晶表示装置用駆動回路において階調データのビット数を8ビットに拡張した場合におけるDAC部の回路の回路図である。

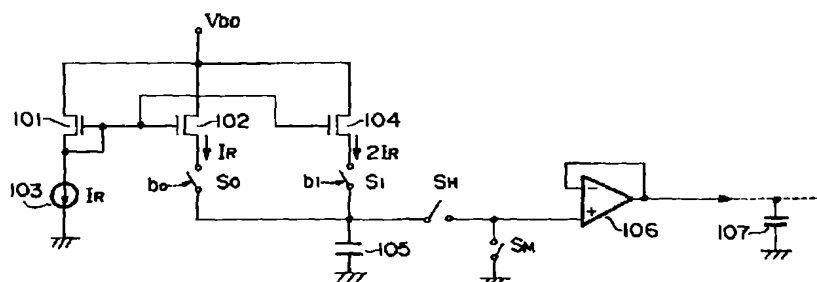
【図6】従来技術による液晶パネル601とその周辺回路の構成を示すブロック図である。

【図7】従来技術による駆動回路604に使用されている容量型DACの回路図である。

【符号の説明】

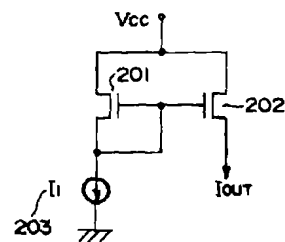
101、102、104…MOSFET、103…定電流回路、105…コンデンサ、106…出力バッファ、107…液晶画素、 b_0 、 b_1 …階調データ、 S_0 、 S_1 、 S_H 、 S_M …スイッチ、 V_{DD} …電源電圧、601…液晶パネル、604…駆動回路、 S_{amp} …サンプルパルス

【図1】



101, 102, 104 : MOSFET	b_0, b_1 : 階調データ
103 : 定電流回路	S_0, S_1, S_H, S_M : スイッチ
105 : コンデンサ	V_{DD} : 電源電圧
106 : バッファ	
107 : 液晶画素	

【図2】



【図6】

